

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-273798

(P2001-273798A)

(43)公開日 平成13年10月5日(2001.10.5)

(51)Int.Cl. ⁷	識別記号	F I	特許出願公開番号
G 1 1 C 29/00	6 7 3	G 1 1 C 29/00	6 7 3 B 2 G 0 3 2
			6 7 3 P 5 B 0 0 3
G 0 1 R 31/28		G 0 6 F 12/16	3 3 0 A 5 B 0 1 8
G 0 6 F 12/16	3 3 0	G 1 1 C 17/00	D 5 L 1 0 6
G 1 1 C 17/00		G 0 1 R 31/28	B 9 A 0 0 1

審査請求 未請求 請求項の数11 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願2000-86380(P2000-86380)

(22)出願日 平成12年3月27日(2000.3.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 中井 弘人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 鈴木 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

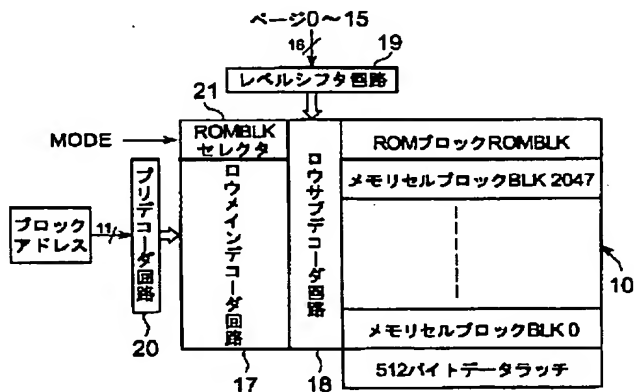
最終頁に続く

(54)【発明の名称】 不揮発性半導体メモリ

(57)【要約】

【課題】 製造後のテスト時間を短縮し、また、安価なテストシステムを用いることにより、コストを低減できる不揮発性半導体メモリを提供すること。

【解決手段】 通常のアドレス入力では書き込みや消去が行えない、特殊な冗長ブロックであるROMブロックを設けている。そして、このROMブロック内に、不良ブロックアドレス情報を記憶させることを特徴としている。そのため、複数の不揮発性半導体メモリを同時にテストする際、書き込み/消去動作と同じく、読み出し動作も全チップ同時に行うことが出来る。この結果、テスト時間が短縮でき、また、フェイルメモリを持たない安価なテストシステムでテストを行うことが可能となるため、不揮発性半導体メモリのテストコストを削減できる。



【特許請求の範囲】

【請求項1】 不揮発性のメモリセルがマトリックス配列され、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶し、前記通常の動作モードでは消去不可能な第2のブロック領域とを有し、ページ単位で読み出しと書き込みが行われるメモリセルアレイと、通常動作モード時に前記第2のブロック領域を非活性化し、テストモード時に前記第2のブロック領域を活性化

する選択手段と、テストモード時に前記第1のブロック領域中のメモリセルに内部ベリファイ動作により不良が検出されたときに、この不良ブロックアドレス情報を前記第2のブロック領域に自動的に記憶させるテスト手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項2】 前記第2のブロック領域は、前記テスト手段からの1回の書き込み動作で所定のページに1つの不良ブロックアドレス情報が記憶され、複数の不良ブロックアドレス情報を記憶する場合は、同じページへ複数回のデータの重ね書きが行われることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】 前記第1のブロック領域は複数のブロックのグループから構成されるサブブロックを複数備え、前記第2のブロック領域は複数のページ単位より構成され、

前記第2のブロック領域の各ページアドレスが、前記第1のブロック領域の各サブブロックアドレスを示し、各ページのカラムアドレスが、各サブブロック内のブロックアドレスを示すことを特徴とする請求項1または2記載の不揮発性半導体メモリ。

【請求項4】 不揮発性のメモリセルがマトリックス配列され、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、

テストモード時に、前記メモリセルアレイの全てのブロックについての良、不良の判定結果を示す不良ブロックアドレス情報に基づいて、該不良ブロックアドレス情報に対応する不良ブロック中の全ページのメモリセルに所定の固定データを書き込むテスト手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項5】 前記メモリセルアレイは、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶する第2のブロック領域とを有し、

前記テスト手段は、テストモード時に前記第1のブロック領域中のメモリセルに不良が検出されたときに、この不良ブロックアドレス情報を前記メモリセルアレイの第2のブロック領域に記憶させ、前記第2のブロック領域に記憶した不良ブロックアドレス情報で指示された不良ブロック中の全ページのメモリセルに所定の固定データ

を書き込むことを特徴とする請求項4記載の不揮発性半導体メモリ。

【請求項6】 前記テスト手段は、不良ブロック内の不揮発性のメモリセルに所定の固定データを書き込む際に、通常より長い書き込み時間で書き込みを行う、または通常より高い書き込み電圧で書き込みを行うことを特徴とする請求項4または5記載の不揮発性半導体メモリ。

【請求項7】 不揮発性のメモリセルがマトリックス配列され、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、

前記メモリセルアレイの各ブロック毎に設けられ、ロウアドレス信号をデコードしてメモリセルの行を選択するロウデコーダと、

これらロウデコーダ中にそれぞれ設けられる不揮発性の記憶手段と、

ベリファイ動作で不良と判定された不良ブロックアドレス情報に基づいて、読み出し時に不良ブロックを非選択状態とするために、当該不良ブロックに対応するロウデコーダ中に設けられた不揮発性の記憶手段にフラグデータを書き込む書き込み手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項8】 前記不揮発性の記憶手段は、電氣的フューズ素子を含むことを特徴とする請求項7記載の不揮発性半導体メモリ。

【請求項9】 前記不揮発性の記憶手段は、不揮発性のメモリセルを含むことを特徴とする請求項7記載の不揮発性半導体メモリ。

【請求項10】 不揮発性のメモリセルがマトリックス配列され、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶する第2のブロック領域とを有し、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、

電源投入時に前記第2のブロック領域に記憶されている不良ブロックアドレス情報を読み出す読み出し手段と、

前記メモリセルアレイの各ブロック毎に設けられ、ロウアドレス信号をデコードしてメモリセルの行を選択するロウデコーダと、

これらロウデコーダ中にそれぞれ設けられる揮発性の記憶手段と、

前記電源投入時に読み出された不良ブロックアドレス情報に基づいて、当該不良ブロックに対応するロウデコーダ中に設けられた揮発性の記憶手段にフラグデータを書き込む書き込み手段と、

前記揮発性の記憶手段に書き込まれたフラグデータに基づき、当該不良ブロックを非選択レベルに設定する非選択レベル設定手段と、を具備することを特徴とする不揮

発性半導体メモリ。

【請求項11】 前記メモリセルは、NANDセル列と、前記NANDセル列の一端とビット線との間及び前記NANDセル列の他端とソース線との間に設けられた選択トランジスタとを備え、前記ロウデコーダは、前記選択トランジスタを非選択状態にすることにより、前記不良ブロックを非選択レベルにすることを特徴とする請求項7乃至10いずれか1項記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体メモリに関し、特に不揮発性半導体メモリのテスト時間の短縮化及び低コスト化の技術に係る。

【0002】

【従来の技術】従来、データストレージ手段としてハードディスクが一般的に用いられてきた。しかし、近年のフラッシュメモリの大容量化により、データストレージ手段としてフラッシュメモリ等の不揮発性半導体メモリが使用されるようになってきている。

【0003】上記フラッシュメモリとしては、NAND型フラッシュEEPROM (Electrically Erasable and Programmable Read Only Memory) やAND型フラッシュEEPROMが一般的に知られている。データストレージ手段としてフラッシュメモリを使用する場合、如何にビットコストを低く抑えて、大容量メモリを実現するかが重要となるため、ハードディスクのように規定数以下の不良ブロックがある場合でも製品として出荷される形態がとられる。このため、メモリを使用するホスト側には、不良ブロックを管理する技術が必要である。この不良ブロックを管理する技術の一つとして、出荷時に不良ブロックに何らかのデータを記憶させ、メモリを使用するホスト側が最初にこのデータを検出し、不良ブロックの使用を禁止するためのブロック管理テーブルを使用する、ブロック管理方式が広く用いられている。NAND型フラッシュEEPROMを例にとると、不良モードの多くが“1”データが“0”に変化する不良であるため、不良ブロックに“0”データを書き込み、残り全ての良ブロックを“1”データにして出荷する形態がとられる。

【0004】上記フラッシュメモリのウェハースート工程から出荷するまでのテストフローを図12を用いて説明する。図示するように、ウェハー上に半導体記憶素子を形成する前工程が終了した後に、まずウェハー状態で各チップが良品であるか不良品であるか判別するウェハースート工程を行う。このウェハースート工程ではDC項目のチェック(ステップS30)や、書き込み/消去をチェックする動作確認試験(Function Check)が行われる(ステップS32)。DC項目でのチェックの良、不良が判定されて(ステップS31)、不良と判断され

たDC不良チップは破棄され(S32-1)、良品と判断されたチップは次に動作確認試験を行う(S32-2)。動作確認試験での良、不良の判定(ステップS33)で判明したチップ内の不良ブロックは、次のR/D置き換え工程(ステップS34)で冗長部のブロックに置き換えられる。R/D置き換え後に、再度動作確認試験(ステップS35)が行われ、規定不良ブロック数の以下のチップが良品と見なされ、次のアセンブリ工程でパッケージにアセンブリされる(ステップS36)。その後、高温、高電圧で不良モードを加速してスクリーニングするためのバーイン試験を行う(ステップS37)。バーイン後に再度DC項目のチェック(ステップS38)と動作確認試験(ステップS39)がメモリテスターを用いて実施され、不良ブロックのアドレス情報がメモリテスターのフェイルメモリ(Fail Memory)上に記憶される。この情報に基づき、メモリの不良ブロックに“0”データが書き込まれて(ステップS40)出荷される。

【0005】図13はこのバーイン後の動作確認試験の内容を詳細に示したテストフローである。動作確認試験の内容は、何種類かのパターンデータをメモリ内の全ブロックに書き込み、その書き込みデータを読み出してメモリテスターで期待値データと比較するものである。図13のフローに示すように、まず第1のパターンデータを書き込むパターンチェックシーケンス1を行う(ステップS50)。これは、まずメモリの全ブロックに第1のパターンデータを書き込み(ステップS51)、その書き込みデータを読み出し、正確に書き込みが行われているかどうかをチェックする(ステップS52)。次に、正確に書き込みが行われていなかったブロックを不良ブロックと認識し、そのブロックアドレスをメモリテスターのフェイルメモリ上に記憶する(ステップS53)。そして全ブロックを消去する(ステップS54)。

【0006】このパターンチェックシーケンスはN回行われ、N回目でなければ(ステップS55)次のパターン(ステップS56)でのパターンチェックシーケンスが行われる。

【0007】次のパターンチェックシーケンスi(iはN以下の自然数)も、上記の処理が行われる。まず全ブロックに第1から(i-1)のパターンデータと異なる第iのパターンデータを書き込み、書き込みデータを読み出してチェックし、不良ブロックアドレスをメモリテスターのフェイルメモリ上に追加記憶し、全ブロックを消去する。

【0008】このN種類のパターンデータについての書き込み/読み出しチェックを行うたびに、メモリテスターはフェイルメモリ上に不良ブロック情報を記憶する。各パターンデータでの不良ブロック情報は、それまで記憶されていたフェイルメモリ上の不良ブロック情報に足

しあわされる。このようにしてN種類のパターンデータでの書き込み動作チェック終了後 ($i=N$) のフェイルメモリ上には、N種類のパターンデータによるテストにおける、不良ブロックの累積不良ブロックアドレスの結果が記憶されている。全てのパターンデータでの書き込み動作確認試験が終了した後、最後に累積の不良ブロック情報に基づき不良ブロックに“0”データが書き込まれる (ステップS57)。

【0009】一般に、バーイン試験後の上記動作確認試験は、複数個のチップを同時に測定することでテスト時間を短縮している。

【0010】図14は、64個のNAND型フラッシュEEPROMのチップを同時に測定するテストシステムを示しており、各々のチップはチップセレクト信号CEにより選択され動作確認試験が行われる。NAND型フラッシュEEPROMでは、I/Oバスからコマンドデータやアドレスデータが各デバイスに共通に入力され、書き込み/消去/読み出しモードがセットされる。書き込み時には書き込みデータがI/Oバスを介してデータラッチに1ページ分 (512バイト) 入力され、アドレスレジスタに保持されているアドレスに対応するページのメモセルに書き込みが行われる。以上までの書き込み動作は複数のチップが同時に行われる。次の読み出し動作は、I/Oバスからアドレスレジスタに入力されたアドレスに対応するページのメモセルデータがS/Aと共通のデータラッチに読み出され、読み出しクロック信号REに同期して外部にシリアルに出力される。この場合、読み出し動作はチップごとに行われる。

【0011】図15は、上記64個のチップを同時に測定する際の各々のチップ1～チップ64にそれぞれ供給されるチップセレクト信号CE1～CE64のタイムチャートである。あるパターンデータを全チップに書き込む場合、まず全チップのチップセレクト信号CE1～CE64を同時にイネーブル状態にする。そして、全チップに同じコマンドとアドレスデータを入力する。その後続けて64個の全チップ同時に1ページ分のパターンデータが入力される。更に、書き込み開始コマンドを全チップ同時に入力することにより、全チップ同時にオート書き込み動作が実行される。以上の書き込み動作には、1ページ当たり226 μ secかかるとして、128MビットのNAND型フラッシュEEPROMの場合には、7.23secの時間がかかる。オート書き込み動作終了後、各チップで正しく書き込みが行われたかどうかチェックするため読み出し動作が行われる。この読み出し動作はチップ1からチップ64まで連続して読み出し動作が行われるが、読み出し動作は各チップ毎に行う必要があるため、1ページあたりの読み出し時間は41.4 μ secで済むにも関わらず、64個のチップ1～チップ64の読み出しを行うと172.8secの時間がかかる。もしあるチップで読み出しデータエラーが発生した場合、

メモリテスターのフェイルメモリ上に存在する各チップごとの不良ブロック記憶領域にこの不良ブロックアドレス情報が記憶される。その後、書き込まれたパターンを消去するため、64個のチップ1～チップ64に共通に消去コマンドを入力して、全てのチップ1～チップ64の消去動作を同時に行う。消去動作は、1ページ当たり1msecかかるため、全チップを消去するには2secかかる。

【0012】このように、書き込み/消去動作はチップ自身が持っているオート機能を利用できるため、複数個並列処理が可能だが、書き込みデータをチェックするときは各チップ個別のチェックの結果 (Pass/Fail結果) をメモリテスターの不良ブロック記憶領域上に記憶するため、複数個を同時に測定することが出来ない。このため、テスト時間が長くなるという問題があった。また、Pass/Fail結果をフェイルメモリに記憶しておく必要があるため、フェイルメモリを有する高価なメモリテスターを使用する必要があった。

【0013】

【発明が解決しようとする課題】上記のように、従来の不揮発性半導体メモリは、製造後に複数のチップの動作確認試験を行う場合、書き込み及び消去動作は全チップ同時に行うことが出来るが、読み出し動作は各チップ毎に個別に行う必要があった。そのため、試験に時間がかかるという問題があった。

【0014】また、動作確認試験を行った結果、不良と判断された不良ブロックのアドレスを記憶させるためには、フェイルメモリを有するメモリテスターを使用する必要があった。しかし、フェイルメモリを有するテスターは高価であり、動作確認試験のコストが高くなるという問題があった。

【0015】この発明は、上記事情に鑑みてなされたもので、その目的は、製造後のテスト時間を短縮し、また、安価なテストシステムを用いることにより、コストを低減でき、高信頼性の不揮発性半導体メモリを提供することにある。

【0016】

【課題を解決するための手段】この発明の請求項1に記載した不揮発性半導体メモリは、不揮発性のメモセルがマトリクス配列され、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶し、前記通常の動作モードでは消去不可能な第2のブロック領域とを有し、ページ単位で読み出しと書き込みが行われるメモセルアレイと、通常動作モード時に前記第2のブロック領域を非活性化し、テストモード時に前記第2のブロック領域を活性化する選択手段と、テストモード時に前記第1のブロック領域中のメモセルに内部ベリファイ動作により不良が検出されたときに、この不良ブロックアドレス情報を前記第2のブロック領域に自動的に記憶させるテ

スト手段とを具備することを特徴としている。

【0017】請求項2に記載したように、請求項1記載の不揮発性半導体メモリにおいて、前記第2のブロック領域は、前記テスト手段からの1回の書き込み動作で所定のページに1つの不良ブロックアドレス情報が記憶され、複数の不良ブロックアドレス情報を記憶する場合は、同じページへ複数回のデータの重ね書きが行われることを特徴としている。

【0018】請求項3に記載したように、請求項1または2記載の不揮発性半導体メモリにおいて、前記第1のブロック領域は複数のブロックのグループから構成されるサブブロックを複数備え、前記第2のブロック領域は複数のページ単位より構成され、前記第2のブロック領域の各ページアドレスが、前記第1のブロック領域の各サブブロックアドレスを示し、各ページのカラムアドレスが、各サブブロック内のブロックアドレスを示すことを特徴としている。

【0019】この発明の請求項4に記載した不揮発性半導体メモリは、不揮発性のメモリセルがマトリクス配列され、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、テストモード時に、前記メモリセルアレイの全てのブロックについての良、不良の判定結果を示す不良ブロックアドレス情報に基づいて、該不良ブロックアドレス情報に対応する不良ブロック中の全ページのメモリセルに所定の固定データを書き込むテスト手段とを具備することを特徴としている。

【0020】請求項5に記載したように、請求項4記載の不揮発性半導体メモリにおいて、前記メモリセルアレイは、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶する第2のブロック領域とを有し、前記テスト手段は、テストモード時に前記第1のブロック領域中のメモリセルに不良が検出されたときに、この不良ブロックアドレス情報を前記メモリセルアレイの第2のブロック領域に記憶させ、前記第2のブロック領域に記憶した不良ブロックアドレス情報で指示された不良ブロック中の全ページのメモリセルに所定の固定データを書き込むことを特徴としている。

【0021】請求項6に記載したように、請求項4または5記載の不揮発性半導体メモリにおいて、前記テスト手段は、不良ブロック内の不揮発性のメモリセルに所定の固定データを書き込む際に、通常より長い書き込み時間で書き込みを行う、または通常より高い書き込み電圧で書き込みを行うことを特徴としている。

【0022】この発明の請求項7に記載した不揮発性半導体メモリは、不揮発性のメモリセルがマトリクス配列され、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、前記メモリセルアレイの各ブロック

毎に設けられ、ロウアドレス信号をデコードしてメモリセルの行を選択するロウデコーダと、これらロウデコーダ中にそれぞれ設けられる不揮発性の記憶手段と、ベリファイ動作で不良と判定された不良ブロックアドレス情報に基づいて、読み出し時に不良ブロックを非選択状態とするために、当該不良ブロックに対応するロウデコーダ中に設けられた不揮発性の記憶手段にフラグデータを書き込む書き込み手段とを具備することを特徴としている。

10 【0023】請求項8に記載したように、請求項7記載の不揮発性半導体メモリにおいて、前記不揮発性の記憶手段は、電氣的フューズ素子を含むことを特徴としている。

【0024】また、請求項9に記載したように、請求項7記載の不揮発性半導体メモリにおいて、不揮発性のメモリセルを含むことを特徴としている。

20 【0025】この発明の請求項10に記載した不揮発性半導体メモリは、不揮発性のメモリセルがマトリクス配列され、通常の動作モードで消去可能な第1のブロック領域と、テスト時に不良と見なされた不良ブロックアドレス情報を記憶する第2のブロック領域とを有し、ページ単位で読み出しと書き込みが行われ、複数のページで構成されるブロック単位で消去が可能なメモリセルアレイと、電源投入時に前記第2のブロック領域に記憶されている不良ブロックアドレス情報を読み出す読み出し手段と、前記メモリセルアレイの各ブロック毎に設けられ、ロウアドレス信号をデコードしてメモリセルの行を選択するロウデコーダと、これらロウデコーダ中にそれぞれ設けられる揮発性の記憶手段と、前記電源投入時に読み出された不良ブロックアドレス情報に基づいて、当該不良ブロックに対応するロウデコーダ中に設けられた揮発性の記憶手段にフラグデータを書き込む書き込み手段と、前記揮発性の記憶手段に書き込まれたフラグデータに基づき、当該不良ブロックを非選択レベルに設定する非選択レベル設定手段と、を具備することを特徴としている。

30 【0026】請求項11に記載したように、請求項7乃至10いずれか1項記載の不揮発性半導体メモリにおいて、前記メモリセルは、NANDセル列と、前記NANDセル列の一端とビット線との間及び前記NANDセル列の他端とソース線との間に設けられた選択トランジスタとを備え、前記ロウデコーダは、前記選択トランジスタを非選択状態にすることにより、前記不良ブロックを非選択レベルにすることを特徴としている。

40 【0027】請求項1のような構成によれば、メモリセルアレイの一部を、通常のアドレス入力では書き込みや消去が行えない、特殊な冗長ブロックである第2のブロック領域としている。そして、この第2のブロック領域内に、不良ブロックアドレス情報を記憶させている。そのため、複数の不揮発性半導体メモリを同時にテストす

る際、書き込み／消去動作と同じく、読み出し動作も全チップ同時に行うことが出来る。この結果、テスト時間が短縮でき、また、フェイルメモリを持たない安価なテストシステムでテストを行うことが可能となるため、不揮発性半導体メモリのテストコストを削減できる。

【0028】請求項2のように、メモリセルにフラッシュメモリを適用すれば、不良となったブロックが見つかるたびに、この不良ブロックアドレス情報は第2のブロック領域に記憶されていく。通常フラッシュメモリでは“0”データ書き込みは負のメモリセル閾値電圧を正の閾値電圧に変化させ、“1”データ書き込みは負のメモリセル閾値電圧をそのまま変化させないことに対応している。このため第2のブロック領域の同じページに何度も不良ブロックアドレス情報を重ね書きすると、“1”データの上に“0”データが累積されて記憶されてゆき、全ての不良ブロック情報を最後に残すことができる。

【0029】請求項3のように、第2のブロック領域の各ページアドレスを第1のブロック領域の各サブブロックアドレスに対応させ、各ページのカラムアドレスを各サブブロック内のブロックアドレスに対応させることにより、第2のブロック領域に不良ブロックアドレス情報を効率的に記憶させることが出来る。

【0030】また、請求項4、5のような構成によれば、不良ブロックの全ページのメモリセルに所定のデータをメモリテスターを使わずに自動的に書き込むことが出来る。そのため、不揮発性半導体メモリのテストを簡単化できるため、不揮発性半導体メモリのコストを更に削減できる。

【0031】請求項6のように、通常より長い書き込み時間で書き込みを行う、または通常より高い書き込み電圧で書き込みを行うことで、前記テスト手段は不良ブロック内の不揮発性のメモリセルに確実に所定のデータを書き込むことができる。

【0032】請求項7乃至11のような構成によれば、不良ブロックのメモリセルに所定のデータを書き込むのではなく、不良ブロックの選択トランジスタを常時オフさせておくように、ロウデコーダを設定することによっても、不良ブロックからの出力を常時“0”にすることが出来、不良ブロック情報の信頼性を向上することが出来る。また、不良ブロックアドレス情報により不良と見なされた場合、その不良ブロックフラグを例えば、電氣的フューズ素子や不揮発性のメモリセルに記憶させておくことが出来る。また、揮発性のメモリセルを用いて、不揮発性のメモリセルへの電源投入を検知した際に、不良ブロックフラグを揮発性のメモリセルにセットしてもよい。

【0033】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、

共通する部分には共通する参照符号を付す。

【0034】この発明の第1の実施形態に係る不揮発性半導体メモリについてNAND型フラッシュEEPROMを例に挙げて説明する。

【0035】図1は、128MビットのNAND型フラッシュEEPROMの要部を抽出して、概略構成を示すブロック図、図2は、図1におけるメモリセルアレイ周辺の拡大図、図3は、図2における各メモリセルブロックの回路図である。

【0036】図1に示すように、本実施形態に係るNAND型フラッシュEEPROMは、メモリセルアレイ10、インターフェース回路(I/F回路)11、データラッチ(S/A)12、アドレスレジスタ13、コマンドレジスタ14、カラムデコーダ15、ロウデコーダ16、シーケンス制御回路22、高電圧発生回路23、ステータスレジスタ24等を含んで構成されている。

【0037】上記メモリセルアレイ10は、図2に示すように、2048個のメモリセルブロックBLK0～BLK2047に分割されており、更に1つのメモリセルブロックの記憶容量に相当するROMブロックROMBLKが設けられている。各メモリセルブロックBLK0～BLK2047及びROMブロックROMBLK中には、図3に示すようなNANDセルがマトリクス配置されている。各NANDセルは、複数個(ここでは16個)のメモリセルMC、MC、…が隣接するもの同士でソース、ドレインを共有する形で直列接続されて形成されている。NANDセル列の一端側のドレインは、それぞれ選択トランジスタST1を介してビット線(データ線)BL0～BL4095に接続される。NANDセル列の他端側のソースは、選択トランジスタST2を介してソース線SLに接続されている。メモリセルアレイ10の行方向に沿って延設されたセレクトゲート線SGD、SGSはそれぞれ、同一行の選択トランジスタST1、ST2のゲートに接続される。同じくメモリセルアレイ10の行方向に沿って延設されたワード線WL0～WL15はそれぞれ、同一行のメモリセルMC、MC、…の制御ゲートCG0～CG15に接続される。NAND型フラッシュEEPROMの場合、1本のワード線WLに接続された512バイトのメモリセルMC、MC、…により、1ページが構成され、16ページ分でメモリセルブロックBLK0～BLK2047及びROMブロックROMBLKのうちの1ブロックを構成する。すなわち、1ブロックは8kバイトから構成されるため、128MビットNAND型フラッシュEEPROMの1チップは2048ブロックから構成される。なお、メモリセルアレイ10への書き込み及び読み出しは1ページ単位で行われ、消去はブロック単位で行われる。

【0038】上記インターフェース回路11には、各種のコマンド、アドレス信号、及び書き込みを行うセルデータなどが入力され、上記メモリセルアレイ10から読

み出されてデータラッチ（S/A）12にラッチされたデータが出力されるようになっている。このインターフェース回路11に入力されたロウアドレス信号及びカラムアドレス信号は、アドレスレジスタ13に供給されてラッチされ、また、コマンドはコマンドレジスタ14に供給されてラッチされる。

【0039】上記アドレスレジスタ13にラッチされたカラムアドレス信号は、カラムデコーダ15に供給されてデコードされる。データラッチ（S/A）12には、書き込み時に上記インターフェース回路11に入力された書き込みを行うセルデータがラッチされると共に、読み出し時に上記メモリセルアレイ10中の選択されたメモリセルブロックBLK0～BLK2047から各ビット線に読み出されたセルデータがラッチされる。

【0040】また、上記アドレスレジスタ13にラッチされたロウアドレス信号（ブロックアドレス信号、ページアドレス信号）は、ロウデコーダ16に供給されてデコードされる。ロウデコーダ16は、図2に示すように、上記メモリセルブロックBLK0～BLK2047にそれぞれ対応するロウメインデコーダ回路17とロウサブデコーダ回路18とを有している。全ロウサブデコーダ回路18には、レベルシフト回路19を介してページ0からページ15までの信号が供給される。このロウサブデコーダ回路18は選択されたブロック内の16本のワード線WL0～WL15に所定の電圧を供給するための回路で、複数のトランスファークロウトランジスタと昇圧回路から構成される。ロウメインデコーダ回路17は、プリデコーダ回路20によりブロックアドレス信号をプリデコードした信号を受けて、選択されたブロックの選択トランジスタを導通状態にする。ROMブロックROMBLKのロウサブデコーダ回路は、メモリセルブロックBLK0～BLK2047のロウサブデコーダ回路18と同じ構成になっているが、ロウメインデコーダ回路はROMBLKセクタ回路21に置き換えられている。このROMBLKセクタ回路21にはROMブロックROMBLKをイネーブルにするMODE信号が入力される。このMODE信号は本実施形態に係るNAND型フラッシュEEPROMのチップをテストするときにイネーブルとなる信号で、所定のテストコマンドが入力された場合に“H”レベルとなるテスト信号である。このためROMブロックROMBLKは、通常書き込み/消去におけるアドレス選択方法では選択されず、所定のテストコマンドを入力して初めてアクセスが可能となる。また、通常フラッシュメモリではテスト時間を短縮するため全ブロックを選択して書き込みや消去動作を行うテストモードを有しているが、このROMブロックROMBLKは、全ブロック選択動作を行う場合にも非選択状態となるように設計される。

【0041】上記コマンドレジスタ14に供給されたコマンドは、コマンドデコーダ回路（図示せず）によりデ

コードされてシーケンス制御回路22に供給される。シーケンス制御回路22には、外部からチップ・イネーブル信号CE、コマンド・ラッチ・イネーブル信号CLE、アドレス・ラッチ・イネーブル信号ALE、ライト・イネーブル信号WE、リード・イネーブル信号RE、及びライト・プロテクト信号WP等が供給され、これら信号に基づいて、メモリ中の各回路の読み出し動作、書き込み動作、消去動作、及びベリファイ動作などに応じて制御する。また、このシーケンス制御回路22の出力に基づき、高電圧発生回路23は、上記ロウデコーダ16及びメモリセルアレイ10に高電圧を供給する。

【0042】上記ステータスレジスタ24は、オート書き込みやオート消去動作後に動作が正常に終了したかどうかを示す情報（Pass/Failフラグ）を記憶する。そして、この情報は所定のコマンドデータを入力することにより外部に出力できるようになっている。しかし、このステータスレジスタ24には、直前に行われた書き込みや消去動作の結果が記憶されているだけで、次の動作の開始時にはこの情報はリセットされる。

【0043】上記構成のNAND型フラッシュEEPROMをテストする際のテストフローについて図4を参照して説明する。

【0044】図4はバーイン後テスト時の複数データパターン書き込みチェック動作のうちの1つのパターンにおける書き込みチェック動作の内容を示しており、特に1ページ目の書き込み動作に注目してフローを説明したものである。まず最初にユーザーが通常使用するコマンドコードを入力して、書き込みを行うアドレスと所定の512バイトの書き込みデータをチップ内部にデータロードする（ステップS10）。書き込みデータとして通常よく用いられるのがチェッカーボードパターンであり、このような規則正しいパターンは安価なパターンジェネレータ機能を持つ簡易テスターで発生することが可能である。次に所定のテストコマンドを入力してデータロード後に書き込み開始コマンドを入力することにより、そのページに対してオート書き込み動作を実行する（ステップS11）。このオート書き込み動作が正常に動作したかどうかを示す情報は、ステータスレジスタに記憶される（ステップS12）。もし書き込みが正常に終了せずFailフラグがステータスレジスタに記憶された場合、つまりビット不良やワード線の電圧に不良があった場合、当該ブロックアドレスデータがデータラッチに転送され（ステップS13）、ROMブロックROMBLKに、この不良ブロックアドレスを記憶する動作が行われる（ステップS14）。そして、次のページへのオート書き込みを開始する（ステップS15）。

【0045】図5には、ROMブロックROMBLKのメモリ空間のブロック図を示す。128Mビットのメモリチップの全ブロック数は前述の通り、2048ブロックである。そのため、ROMブロックROMBLK内の

16ページのうち、4ページを使用して不良ブロックテーブルを構成することにより、全メモリブロックBLK0～BLK2047の不良ブロックアドレスデータを記憶する。ROMブロックROMBLKの1ページは、メモリセルブロックBLK0～BLK2047の1ページと同じく512バイトで構成されており、1ページ目の1バイト目から512バイト目までのそれぞれ1バイトは、メモリセルブロックBLK0からBLK511のそれぞれのブロックアドレスに割り当てられている。すなわち、0番地から511番地までのブロックアドレスは1番目のグループに割り付けられ、ROMブロックの1ページ目に記憶される。また、512番地から1023番地までは2番目のグループに割り付けられ、ROMブロックROMBLKの2ページ目に記憶される。同様に1024番地から1535番地までは3番地のグループに、1536番地から最後の2047番地までは4番目のグループに割り付けられる。3番地のグループは3ページ目に、4番地のグループは4ページ目に記憶される。この記憶動作が終了すると全ブロック同時消去動作が行われる。ROMブロックROMBLKを除く全ブロックデータが消去された後、次のパターンデータの書き込みパターンチェックが行われる。

【0046】ROMブロックROMBLKに不良アドレス情報を記憶する方法を図6を参照して詳細に説明する。図6はアドレスレジスタとその周辺の回路図である。

【0047】図示するように、アドレスレジスタ13を構成する9ビットのカラムアドレス用レジスタ30、4ビットのページアドレス用レジスタ31、及び11ビットのブロックアドレス用レジスタ32の3つのレジスタ回路は、バイナリカウンタとして動作するように構成されている。バイナリカウンタとして動作する時のカラムアドレス用レジスタ30のクロック入力には通常、外部からマルチプレクサ33を介して信号CLKが供給される。この信号CLKはシリアルリード時には外部から入力される信号REに同期し、書き込みのためのデータロード時には外部から入力される信号WEに同期して形成される。また、テストモード時にはマルチプレクサ33を介して信号TCLKがこのカラムアドレス用レジスタ30に供給される。このTCLK信号は、後述するようにブロックアドレス情報をデータラッチに転送するときには使用されるもので、内部制御回路において（図示せず）512個のクロック信号がテストモード時に自動生成される。ページアドレス用レジスタ31のクロック入力には、カラムアドレスエンド検出回路34の出力信号が供給される。これはNANDフラッシュメモリが1ページのシリアル読み出し動作後にページアドレスを自動的にインクリメントし、次のページのランダム読み出しを続けて実行するように設計されるためである。同じ理由から、ページアドレスエンド検出回路35の出力信号

はブロックアドレス用レジスタ32のクロック入力に入力される。これらカラムアドレス用レジスタ30、ページアドレス用レジスタ31、及びブロックアドレス用レジスタ32のバイナリカウンタには、カウンタのリセット信号としてCLR信号が内部制御回路から供給され、アドレス入力時の最初に各レジスタはリセットされる。また、アドレスデータ入力モードでは、これらの3個のレジスタの内部データは、チップ外部からインターフェース回路11を介して供給されたデータに初期設定される。外部から入力されたアドレスデータは、インプットバッファ36を介して8ビット入力データラッチ回路37に一時的に保存され、その後内部バス制御回路38により内部バスにデータが供給される。通常アドレスデータは8ビットづつ何回かに分けて外部から入力され、1回目のカラムアドレス情報の8ビットデータと512バイトの上位/下位を示す1ビットのコマンドフラグデータの合計の9ビットは、内部バス制御回路38により9ビットのカラムアドレス用カウンタ30に送られ、初期データとして記憶される。また2回目に入力された8ビットのうち4ビットは、ページアドレス用カウンタ31に送られ、残りの4ビットはブロックアドレス用カウンタ32に送られ、それぞれ記憶される。3回目以降の8ビット入力アドレスは全てブロックアドレス用カウンタ32に送られ初期データとして記憶される。11ビットのブロックアドレス用カウンタ32の出力はアドレス0から8までの下位9ビット分とアドレス9から10までの上位2ビット分のバスに分かれて出力される。下位9ビットと上位2ビットの合計11ビットの内部アドレスデータは、プリデコーダ回路20を介してロウデコーダ16に供給される。また下位9ビットのデータはROMブロックROMBLKに不良ブロックアドレス情報を記憶する動作の間、内部バスに出力され、内部バス制御回路により9ビットカウンタ39に初期データとして記憶される。ただしこのとき出力されたブロックアドレス用カウンタ回路32の出力9ビットの各データを反転して記憶している。このカウンタ回路39の9ビットデータはNOR論理回路40に入力され、更にこのNOR論理回路40の出力信号は、MODE信号とのAND論理回路41に入力される。

【0048】ROMブロックROMBLKに不良ブロックアドレス情報を記憶するテストモード時には、内部制御回路からTCLKが供給されカラムアドレスが0番地からカウントアップすると同時に、9ビットカウンタ39もカウントアップしていく。9ビットカウンタ39の初期値はROMブロックROMBLKに書き込みを行おうとしている不良ブロックアドレスの補数値であるから、X番地が不良の場合(X+1)回カウントアップしたときに全てのブロックアドレス信号が“0”になる。このときAND論理回路41の出力信号WDATASETは“1”になり、データラッチ(S/A)にデータを

ロードするためのデータ0~7が“L”レベル(“0”書き込みデータ)にセットされる。512回のクロックで9ビットの出力全てが“0”になるのは1回しかないから、残りの511回のロードデータは内部バスのデータに等しい。テストモード以外の通常の書き込み時のデータロード動作時には、このデータ線にはチップのI/Oバスからの信号がインプットバッファ36と8ビット入力データラッチ回路37を介して供給され、データラッチ(S/A)へのデータロードが行われる。しかしながら上記テストモード時のデータロード動作時には、内部バスは“H”レベルに固定される。このため、不良ブロックアドレスと等しいカラムの番地のデータラッチ

(S/A)には“0”書き込みデータが1バイトロードされ、それ以外の511個のカラム番地のデータラッチ(S/A)には“1”書き込みデータがロードされる。

【0049】上記動作について、図7(a)、(b)を用いて具体的に説明する。メモリセルブロックは前述の通り、0から2047番地までであるが、0から2047を2進数で示すと図7(a)のようになる。上位2ビットに注目すると、0から511までは“00”、512から1023までは“01”、1024から1535までは“10”、そして1536から2047までは“11”である。すなわち、上位2ビットでROMブロックROMBLKに書き込むページを指定し、下位9ビットでカラムアドレスを指定することが出来る。例えば2番地、すなわちメモリセルブロックBLK2が不良であったとする。このときブロックアドレス用カウンタ32のデータは“010000000000”である。このうちの下位9ビットが9ビットカウンタ39に、そのデータを反転させて出力される。すなわち、図7(b)に示すように、9ビットカウンタ39のデータは“101111111”である。従って、不良ブロックである2番地+1回=3回のカウントアップにより、9ビットカウンタのデータは全て“0”になり、WDATASET=“1”となる。これにより2番地に対応するROMブロックROMBLKに“0”データが書き込まれる。

【0050】この512回のクロックによるブロックアドレスのデータラッチ(S/A)への転送後、メモリセルへのオート書き込み動作が開始するが、ROMブロック内の4ページのうちのどのページに書き込むかを制御する方法について説明する。上記の通り、ブロックアドレスカウンタ32の11ビットデータのうちの上位2ビットによりページアドレスを指定できるので、ブロックアドレス用レジスタ32の上位2ビットはROMブロックページデコーダ回路42に入力される。このROMブロックページデコーダ回路42はテストモード時にMODE信号に応答して上位ブロックアドレス信号のデコーダ回路として動作し、それ以外の時の全てのデコーダ出力信号を“0”レベルに設定する。このROMブロックページデコーダ回路42は、マルチプレクサ回路43を介

してテストモード時にロウサブデコーダに供給される4ビットのページ信号であるページ0~3を形成する。テストモード時以外は、ページアドレスをデコードする通常のページデコーダ回路44がマルチプレクサ回路45を介してこの4ページ分のページ信号を形成している。更にテスト時には上位4~15ページの信号はマルチプレクサ回路45により“0”レベルの非選択状態に設定される。通常動作時には、ページデコーダ回路44がマルチプレクサ回路77を介してこれら上位ページ信号を形成している。

【0051】このように不良となったページが見つかるたびに、この不良ブロックアドレス情報はROMブロックROMBLKの対応するページ内の対応するカラムアドレスの8ビットのメモリセルに記憶されていく。通常NAND型フラッシュEEPROMでは“0”データ書き込みはメモリセルの閾値電圧を負から正に変化させ、“1”データの書き込みはメモリセルの負の閾値電圧をそのまま変化させないことに対応している。このためROMブロックROMBLK内の同じページに何度も512バイトデータを重ね書きすると、“1”データの上に“0”データが累積されて記憶されてゆき、全ての不良ブロック情報が最後に残ることになる。つまり書き込み回数分の512バイトデータのORデータが保存される。本発明はフラッシュEEPROMの書き込み動作のこの特徴を利用したものである。図4に示すように、1チップの全ページにこの書き込みパターンチェックが終了すると、外部から入力される消去コマンドに対応してROMブロック以外の全ブロックが消去される。そして次のパターンを使用して再度全ページに書き込みチェックが行われ、不良ページが見つかるたびにそのブロックアドレスがROMブロックに記憶される。また全ての消去動作に全ブロック消去モードを使用せずに、各ブロックを消去する動作を途中で行うことにより、消去不良となるアドレスを消去のPass/Fail情報に基づいてROMブロックROMBLKに記憶できる。このようにして全パターンでのチェックが終了すると、ROMブロックROMBLK内には全書き込みパターン及びブロック消去動作での累積不良ブロックアドレスが記憶されることとなる。

【0052】このような不良ブロック情報をROMブロックROMBLKに記憶して出荷し、コントローラがこの情報を参照することにより、ブロック管理テーブルを構築することが可能となる。

【0053】上記のように、本実施形態に係る不揮発性半導体メモリによれば、通常のアдрес入力では書き込みや消去が行えない、特殊な冗長ブロックであるROMブロックを設けている。そして、このROMブロック内に、不良ブロックアドレス情報を記憶させている。そのため、複数の不揮発性半導体メモリを同時にテストする際、書き込み/消去動作の結果をベリファイする読み出

し動作が不要となる。この結果、テスト時間が短縮でき、また、フェイルメモリを持たない安価なテストシステムでテストを行うことが可能となるため、不揮発性半導体メモリのテストコストを削減できる。

【0054】次に、この発明の第2の実施形態に係る不揮発性半導体メモリについて、NAND型フラッシュEEPROMを例に挙げて説明する。

【0055】本実施形態に係るNAND型フラッシュEEPROMの回路構成は、第1の実施形態で説明した図1乃至図3と同様であるため説明を省略する。

【0056】図8は、本実施形態に係るNAND型フラッシュEEPROMのアドレスカウンタ及びその周辺の回路図である。

【0057】本実施形態では、第1の実施形態のように、ROMブロックROMBLKに不良ブロックアドレス情報を記憶するテストモード時に、ブロックアドレスの下位9ビットを9ビットのテスト専用カウンタ39に記憶させるのではなく、直接9ビットのカラムアドレス用カウンタ30に記憶させる。すなわち、シーケンス制御回路22により、ブロックアドレス用カウンタ32の下位9ビットデータを、内部バスを利用してカラムアドレスレジスタ30へ転送する。そしてカラムアドレスが指し示すデータラッチ(S/A)のみに1バイトの“0”データ書き込みをロードする。このロード作業に先立ち、全てのデータラッチ(S/A)は同時に“1”データにリセットされるため、対応するROMブロックROMBLKのページには不良ブロックアドレスに対応したカラムアドレスのみに“0”データが記憶される。通常NANDフラッシュEEPROMは、書き込み動作開始前に全データラッチを“1”データにセットするため、この機能を利用すれば全アドレスにデータロードする必要がなくなり、ROMブロックに不良ブロックアドレス情報を記憶するテストモード時間を短縮できる。

【0058】上記実施形態によれば、第1の実施形態に比して、不揮発性半導体メモリのテスト時間を更に短縮化できる。

【0059】次に、この発明の第3の実施形態に係る不揮発性半導体メモリについてNAND型フラッシュEEPROMを例に挙げて説明する。

【0060】本実施形態に係るNAND型フラッシュEEPROMの構成は、第1の実施形態と同様であるため説明を省略する。

【0061】第1、第2の実施形態では、不良ブロックアドレスを、ROMブロックROMBLKに記憶させておき、テスト工程の最後に実際に不良ブロックに“0”データを書き込むにはメモリテスターを用いて行っている。本実施形態では、上記回路構成において、シーケンス制御回路22により図9のフローチャートの動作を行い、テストの最終工程で不良ブロックに“0”データをメモリテスターを使わずに自動的に書き込む機能を持た

せたものである。

【0062】まず、全メモリセルブロックBLK0~BLK2047についてチェックを行い、不良ブロックデータをROMブロックROMBLKに記憶させる。

【0063】そして、図9に示すように、ROMブロックROMBLKの1ページ目のアドレスのデータを読み出し(ステップS20、S21)、データラッチ(S/A)に記憶させる。次にシーケンス制御回路22が図6に示したカラムアドレス用カウンタ30にクロックを発生し、カラムアドレス用カウンタ30の出力アドレスを0番地から順次インクリメントしていく(ステップS22)。またインクリメントしていく各カラムアドレスに対応したデータラッチの記憶データが、全て“0”データかどうかを、シーケンス制御回路22内に設けられた判定回路がチェックする(ステップS23)。もしあるアドレスのデータラッチデータが“0”データであるならば、そのときのカラムアドレス用カウンタ30の内容を、内部バスを介してブロックアドレス用11ビットカウンタ32の下位9ビットに転送する。更にROMブロックROMBLKの1ページ目を示している4ビットのページアドレス用カウンタ31の下位2ビットデータを、内部バスを介してブロックアドレス用11ビットカウンタ30の上位2ビットに転送する(ステップS24)。このような不良ブロックのアドレス設定動作が終了すると、このアドレスが示すロウデコード内の不良ブロックが選択される。その後、ページアドレス用カウンタ31の出力を全て“1”レベルに設定し、そのブロックの全てのページアドレスをマルチ選択する(ステップS25)。次に全てのデータラッチのデータを“0”データにリセットして(ステップS26)、通常書き込み時間20 μ secより長い1msecの書き込み動作を行うことにより、不良ブロックの16ページの全てのメモリセルに“0”データを書き込む(ステップS27)。書き込み時間を通常書き込み時間より長く設定しているのは、ワード線電圧がドロップするような不良モードによりそのメモリセルブロックが不良ブロックになっている場合でも正しく“0”データが書き込まれることを考慮する必要があるからである。時間を長く設定する代わりに、通常書き込み電圧より高い書き込み電圧を使用してもよい。この不良ブロックの書き込みが終了した後、再度ROMブロックROMBLKの1ページ目をデータラッチに読み出し、カラムアドレス用カウンタ30に残っているカラムアドレスの次のカラムアドレスからカラムデータスキャンを再開する。そしてまた別のカラム番地で“0”データがヒットすると、その不良となったメモリセルブロックの全ページに、同じ方法で“0”データを書き込むシーケンスが実行される。このようにして最終カラム番地までカラムデータスキャン動作が行われる(ステップS28)。そして、現在のページ数を判定し(ステップS29)、2ページ目の処理に移り

(ステップ S 29')、次に ROM ブロック内の 2 ページ目が読み出され同じ動作が繰り返される。そして ROM ブロック ROMBLK 内の 4 ページ目まで終了すると (ステップ S 29)、この不良ブロックに "0" データを自動的に書き込むテストシーケンスが終了する。最終的に全ての不良ブロックの全ページに "0" データが書き込まれることになる。このテストモードを使用することにより、ホスト側が ROM ブロックにアクセスしてブロック管理テーブルを形成するようなシステムでなく、出荷時に全メモリセルブロック BLK0~BLK2047 をスキャンして "0" データが検出されたブロックを不良と判定するようなシステムにも応用可能である。

【0064】上記のような不揮発性半導体メモリによれば、不良ブロックアドレスデータを ROM ブロック内に記憶させるだけでなく、不良ブロックの全ページのメモリセルに "0" データをメモリテスターを使わずに自動的に書き込むことが出来る。そのため、不揮発性半導体メモリのテストを簡単化できるため、不揮発性半導体メモリのコストを更に削減できる。

【0065】次に、この発明の第 4 の実施形態に係る不揮発性半導体メモリについて、NAND 型フラッシュ EEPROM を例に挙げて説明する。

【0066】第 1 乃至第 3 の実施例で説明したように、通常 NAND 型フラッシュ EEPROM の不良ブロック内のメモリセル MC には "0" データを書き込んで出荷する。また、メモリセル MC の破壊の程度がひどく、

"0" データを書き込むことが出来ない場合には破棄していた。しかし、NAND 型フラッシュ EEPROM はその構造上、選択トランジスタを常時オフにしておくことにより、その NAND セルからは "0" データしか読み出されないという特性がある。

【0067】本実施形態は NAND 型フラッシュ EEPROM の上記特性に鑑みて、不良ブロックのメモリセルに "0" データを書き込むのではなく、不良ブロックの選択トランジスタを常時オフさせておくように、ロウデコードを設定するものである。

【0068】図 10 は、メモリセルブロック BLK0~BLK2047 にそれぞれ対応する 2048 個のロウデコードの構成を示す回路図である。

【0069】図示するように、ブロックアドレス信号が 40 入力されるデコード部 50 の出力は N チャネルトランジスタ 51 のゲートに入力される。この N チャネルトランジスタ 51 のソースはゲートに信号 C が供給される N チャネルトランジスタ 52 のドレインに入力され、この N チャネルトランジスタ 52 のソースは電源 V_{ss} に接続される。また、N チャネルトランジスタ 51 のドレインは、幅の小さいポリシリコンフィラメントで形成される電気

的に導通しなくなる特徴がある。更にこの電気的
ルフェーズ 53 の他端は、ラッチ回路 54 とゲートに信号 B が供給された N チャネルトランジスタ 55 のソースに接続される。N チャネルトランジスタ 55 のドレインは各メモリセルブロック BLK0~BLK2047 に対応する端子、及び共通にゲートに信号 A が供給された P チャネルトランジスタ 56 のドレインに接続される。この P チャネルトランジスタ 56 のソースは電源 VDD に接続される。ラッチ回路 54 の出力はゲートに信号 D が 10 入力された N チャネルトランジスタ 57 のドレインに接続され、この N チャネルトランジスタ 57 のソースは電源 V_{ss} に接続される。このラッチ回路 54 の出力は、電源として V_{pgm} が供給されたレベルシフト 58 に入力される。このレベルシフト 58 の出力はロウサブデコード回路 59 内の全てのトランスファゲートトランジスタのゲートに接続される。選択されたメモリセルブロック内のトランスファゲートトランジスタが導通する事により、グローバルセレクトゲート信号 GSGD、GSGS とページ 0 からページ 15 までのページ信号が選択されたメモリセルブロックのセレクトゲート線 SGD、SGS とメモリセルのワード線 WL0~WL15 に供給される。またラッチ回路 54 の出力の反転信号がインバータ 60 を介してロウサブデコード 59 内の N チャネルトランジスタ 61 のゲートに入力される。この N チャネルトランジスタ 61 のドレインはセレクトゲート線に接続され、そのソースは各ブロック共通に SE 線に接続される。

【0070】次のこのように構成されたロウデコードの動作を説明する。通常の読み出し、書き込み、消去動作時には P チャネルトランジスタ 56 と N チャネルトランジスタ 55 は非導通状態となっている。通常の読み出し、書き込み、消去動作時には、まず最初に信号 D が 30 "1" レベルとなり全ブロックのラッチ回路 54 のデータが "0" にリセットされる。次にブロックアドレス信号が確定すると、信号 C が "1" レベルとなり N チャネルトランジスタ 52 が導通状態となる。また選択されたブロックのデコード部 50 の出力ノードは "1" レベルとなり、N チャネルトランジスタ 51 も導通状態となるため、電気的ルフェーズ 53 が導通していない場合、ラッチ回路 54 には "1" レベルが記憶される。このラッチ回路 54 の出力はレベルシフト 58 に供給され、読み出し時には電源 VDD より所定のレベルだけ高い電圧がトランスファゲートトランジスタに供給される。また、インバータ 60 の出力信号は "0" レベルとなり N チャネルトランジスタ 61 は非導通状態となる。この結果、セレクトゲート線と 16 本のワード線には GSGD、GSGS と CG0~15 により供給される所定の読み出し電圧が供給される。非選択ブロックでは、ラッチ回路の出力は "0" レベルのままであるから、トランスファゲートトランジスタは非導通状態となり、N 40 50

チャネルトランジスタ 61 が導通状態となる。また読み出し時に、SE 線は電源 V_{ss} レベルとなっているため、非選択ブロックのセレクトゲート線は V_{ss} レベルとなり、非選択ブロックのセレクトゲートトランジスタは非導通状態となる。

【0071】また、書き込み時には選択ブロックでは、書き込み電圧 V_{pgm} より N チャネルトランジスタの閾値電圧分高い電圧がトランスファゲートトランジスタに供給され、セレクトゲート線と 16 本のワード線には $GSGD$ 、 $GSGS$ と $CG0 \sim 15$ により供給される所定の書き込み電圧が供給される。非選択ブロックでは、読み出し時と同様に N チャネルトランジスタ 61 が導通状態であり、かつ SE 線が V_{ss} レベルのためセレクトゲート線は V_{ss} レベルとなりセレクトゲートトランジスタは非導通状態になる。

【0072】更に消去時には、電源 VDD の電圧がトランスファゲートトランジスタに供給され、16 本のワード線は電源 V_{ss} レベルとなる。また消去時に $GSGD$ と $GSGS$ には電源 VDD レベルが供給される。選択ブロックでは N チャネルトランジスタ 61 のゲートが

“1” レベルとなるが、消去動作時に SE 線が VDD レベルに設定されるため、N チャネルトランジスタ 61 は非導通状態となる。このためドレイン側のセレクトゲート線 SGD とソース側のセレクトゲート線 SGS は VDD より N チャネルトランジスタの閾値電圧分低い電圧まで充電された後、フローティング状態となる。この後メモリの基板電位が消去電圧まで上昇するが、同時にセレクトゲート線 SGD もカップリングでほぼ同電位まで持ち上がるため、セレクトゲートトランジスタ 61 の酸化膜に電界ストレスがかからない。16 本のワード線に接続されたメモリのコントロールゲートは V_{ss} レベルであり、ブロック内の全てのメモリセルは消去される。非選択ブロックでは全てのトランスファゲートトランジスタが非導通状態となり、N チャネルトランジスタ 61 も非導通状態となるため、16 本のワード線とセレクトゲート線がフローティング状態となり、この結果ワード線も基板とのカップリングで持ち上がり、メモリセルは消去されない。

【0073】エレクトリカルフューズ 53 を溶断するには、信号 A を “0” レベルに設定し、信号 B と信号 C を “1” レベルに設定する。このとき信号 B には電源電圧より高い昇圧電圧を供給することにより、トランジスタ 55 の導通抵抗を小さくすることが望ましい。この状態で溶断したいブロックのアドレス信号をロウデコーダに入力することにより、選択ブロックのエレクトリカルフューズ 53 に所定の電流が流れ、フューズを溶断することができる。

【0074】エレクトリカルフューズ 53 が溶断されたブロックが選択された場合、読み出し動作、書き込み、消去動作とも非選択ブロックと同じ動作が実行される。

つまりデコード部 50 の出力が “1” レベルになって N チャネルトランジスタ 51 が導通状態になっても、エレクトリカルフューズ 53 が電氣的に非導通状態のため、ラッチ回路 54 の出力は非選択状態の “0” を記憶したままとなり、トランスファゲートには電源 V_{ss} が供給される。また、N チャネルトランジスタ 61 は導通状態となる。そのため、読み出し時にエレクトリカルフューズ 53 が切断されたブロックが選択されてもセレクトゲート線は V_{ss} レベルとなり、ビット線からメモリセルを介して電流が流れることはない。この結果不良ブロックからは “0” データしか読み出されないこととなる。また書き込み時と消去時にエレクトリカルフューズが切断されたブロックが選択されると、非選択ブロックと同様にメモリセルには書き込みと消去の電界が印加されない。

【0075】このように本実施形態の不揮発性半導体メモリでは、不良ブロック情報はエレクトリカルフューズ 53 に記憶され、メモリセルにどのような不良が存在しても常に選択トランジスタが非導通状態となるため、不良ブロックからは “0” データしか読み出せない。この結果不良ブロック情報の信頼性を向上することが出来る。なお、本実施形態ではエレクトリカルフューズを使用しているが、フラッシュメモリセルをロウデコーダ内に配置して、エレクトリカルフューズ 53 の代わりにこのフラッシュメモリセルの電流通路を挿入しても同じ効果が得られる。例えば、通常このフラッシュメモリセルの閾値電圧を 0 V 以下の消去状態にしておく。不良ブロック情報をロウデコーダ内に記憶するテストモード時に、もし選択されたブロックが不良ブロックであれば、ロウデコーダ内のこのフラッシュメモリセルのゲートに V_{pgm} 電圧を供給することにより閾値電圧を 0 V 以上の書き込み状態に変更する。読み出し、書き込み、消去動作におけるロウデコーダアクセス時にこのフラッシュメモリセルのゲートに V_{ss} レベルを与えることにより、前述のエレクトリカルフューズと同様な効果が得られる。

【0076】次に、この発明の第 5 の実施形態に係る不揮発性半導体メモリについて、NAND 型フラッシュ EEPROM を例に挙げて説明する。

【0077】本実施形態は、第 4 の実施形態で説明したようにロウデコーダ内に不揮発性記憶素子を設ける代わりに、揮発性記憶素子を設け、電源投入後のパワーオン検知信号に基づきこの揮発性記憶素子に不良ブロック情報を記憶させるものである。

【0078】図 11 は、ロウデコーダ回路を示すもので、第 4 の実施形態で説明した図 10 の回路と異なるのは、エレクトリカルフューズ 53 とそのフューズ切断用トランジスタ 56 と 55 が削除され、デコード部 50 の出力とラッチ回路 54 の出力の反転信号が NAND 回路 62 に入力され、その NAND 回路 62 の出力の反転信

号がレベルシフト 58 に入力されている点である。上記構成のロウデコーダに不良ブロック情報を記憶する方法について説明する。

【0079】電源投入後のパワーオン検知信号に基づき、図示せぬ内部制御回路は ROM ブロック ROMBLK に記憶されている不良ブロック情報をデータラッチに読み出す。その後、ロウデコーダ内の揮発性記憶素子に不良ブロックフラグを記憶するため、信号 D をイネーブルにして全ロウデコーダの揮発性メモリ素子としてのラッチ回路 54 の出力を“0”レベルにリセットし、信号 D をディセーブルにする。この状態で、図 9 に示したシーケンスに基づきカラムデータスキャン動作を行い、データラッチ 54 内に不良ブロック情報が検出された場合にそのデータラッチ情報をブロックアドレス用レジスタ 32 に転送する。更にその後、信号 C をイネーブルにして N チャネルトランジスタ 52 を導通状態に設定し、ブロックアドレス用レジスタが指し示す不良ブロックのラッチ回路 54 の出力を“0”レベルから“1”レベルに変更する。このラッチ回路 54 内の不良ブロックフラグ情報は電源がオフにされるまで保存される。この動作が終了すると、またカラムデータスキャン動作を図 9 のシーケンスに従って続ける。全ての不良ブロックのフラグセットが終了すると、本発明のフラッシュメモリは外部からのアクセスが可能となる。このように、不良ブロックにおけるラッチ回路 54 の出力を“1”レベルにすることで、選択トランジスタは常に非選択状態となる。

【0080】上記構成にすることにより不揮発性記憶素子を用いなくとも、パワーオン検知信号を利用することで不良ブロックでは読み出し時にセレクトゲート線を V_{ss} に設定することが可能である。また、電源投入後にメモリセルがアクセスされるのは、通常 100msec～1sec 後であり、この時間内に上記の動作を完了できる。

【0081】本発明の実施形態を使用すれば、出荷時の不良ブロック情報を内部に記憶させるテスト工程を簡略化でき、安価なテストシステムを用いることが出来るため、安価なフラッシュメモリを実現できる。

【0082】上記第 1 乃至第 5 の実施形態のように、通常のアドレス入力では書き込みや消去が行えない、特殊な冗長ブロックである ROM ブロックを設け、この ROM ブロック内に不良ブロックアドレス情報を記憶させている。そのため、複数の不揮発性半導体メモリを同時にテストする際、書き込み/消去動作と同じく、読み出し動作も全チップ同時に行うことが出来る。

【0083】また、不良ブロックをチェックした後、不良ブロック内の全ページに自動的に“0”データを書き込む機能を持たせることにより、不揮発性半導体メモリのテストを簡便化できる。

【0084】また、不良ブロック内のメモリセルに“0”データを書き込む代わりに、不良ブロックの選択トランジスタを常時オフにするようにロウデコーダを設

定することにより、不良ブロック情報の信頼性を更に向上することが出来る。

【0085】この結果、テスト時間が短縮でき、また、フェイルメモリを持たない安価なテストシステムでテストを行うことが可能となるため、テストコストを削減でき、高信頼性の不揮発性半導体メモリを実現できる。

【0086】なお、上記第 1 乃至第 3 の実施形態は、NAND 型フラッシュ EEPROM を例に挙げて説明したが、NOR 型フラッシュ EEPROM 等、他の不揮発性半導体メモリにも適用できるのは言うまでもなく、本発明の主旨を逸脱しない範囲で適宜変更して実施することが出来る。

【0087】

【発明の効果】以上説明したように、この発明によれば、製造後のテスト時間を短縮し、また、安価なテストシステムを用いることにより、コストを低減でき、高信頼性の不揮発性半導体メモリを提供できる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の概略構成図。

【図 2】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の、メモリセルアレイ周辺の拡大図。

【図 3】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の、各メモリセルブロックの回路図。

【図 4】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の、テストフローの一部を示すフローチャート。

【図 5】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の、ROM ブロックのメモリ空間を示すブロック図。

【図 6】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の、アドレスレジスタとその周辺の回路図。

【図 7】この発明の第 1 の実施形態に係る NAND 型フラッシュ EEPROM の書き込み動作について説明するためのもので、(a) 図は 0 から 2047 の 2 進表示、(b) 図は書き込み時のビットデータの変化を示す図。

【図 8】この発明の第 2 の実施形態に係る NAND 型フラッシュ EEPROM の、アドレスレジスタとその周辺の回路図。

【図 9】この発明の第 3 の実施形態に係る NAND 型フラッシュ EEPROM の、テストフローの一部を示すフローチャート。

【図 10】この発明の第 4 の実施形態に係る NAND 型フラッシュ EEPROM の、ロウデコーダの回路図。

【図 11】この発明の第 5 の実施形態に係る NAND 型フラッシュ EEPROM の、ロウデコーダの回路図。

【図 12】従来の半導体メモリのテストフローを示すフ

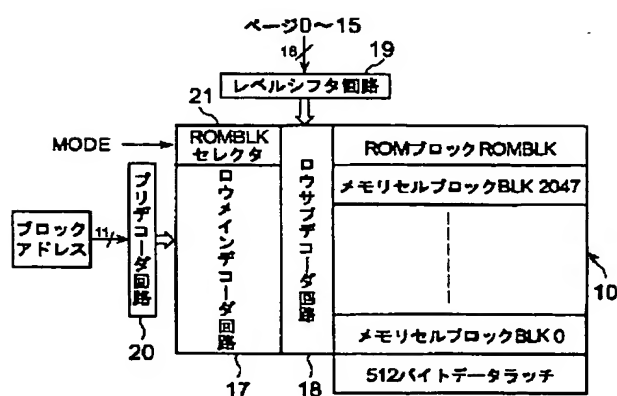
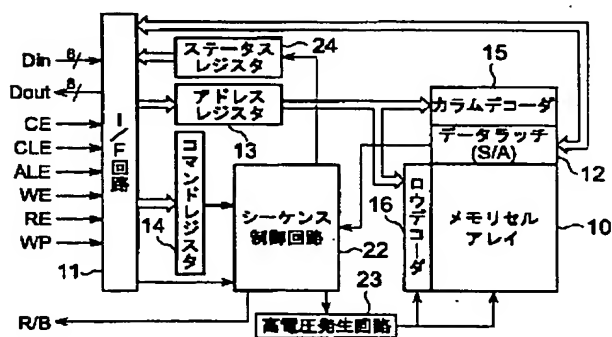
【図13】従来の半導体メモリの動作確認試験のフローチャート。

【図15】従来の半導体メモリのテストシステムにおけるチップイネーブル信号のタイムチャート。

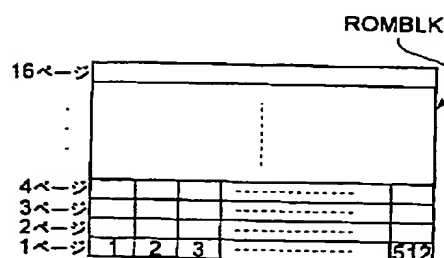
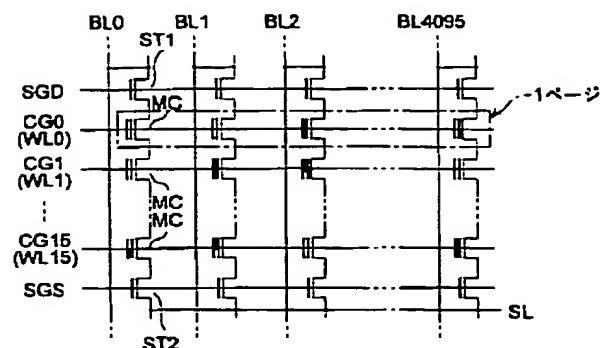
- 1 0…メモリセルアレイ
- 1 1…インターフェース回路
- 1 2…データラッチ
- 1 3…アドレスレジスタ
- 1 4…コマンドレジスタ
- 1 5…カラムデコーダ
- 1 6…ロウデコーダ
- 1 7…ロウメインデコーダ回路
- 1 8、5 9…ロウサブデコーダ回路
- 1 9…レベルシフト回路
- 2 0…プリデコーダ回路
- 2 1…ROMブロックセレクト回路
- 2 2…シーケンス制御回路
- 2 3…高電圧発生回路
- 2 4…ステータスレジスタ

- 3 0…カラムアドレス用レジスタ
- 3 1…ページアドレス用レジスタ
- 3 2…ブロックアドレス用レジスタ
- 3 3、4 3、4 5…マルチプレクサ
- 3 4…カラムアドレスエンド検出回路
- 3 5…ページアドレスエンド検出回路
- 3 6…インプットバッファ
- 3 7…入力データラッチ
- 3 8…内部バス制御回路
- 3 9…9ビットカウンタ
- 4 0…NOR論理回路
- 4 1…AND論理回路
- 4 2…ROMブロックページデコーダ回路
- 4 4…ページデコーダ回路
- 5 0…デコード部
- 5 1、5 2、5 5、5 7、6 1…Nチャネルトランジスタ
- 5 3…エレクトリカルフューズ
- 5 4…ラッチ回路
- 5 6…Pチャネルトランジスタ
- 5 8…レベルシフタ
- 6 0…インバータ
- 6 2…NAND論理回路

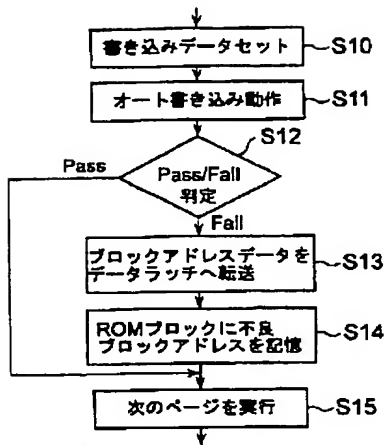
【图2】



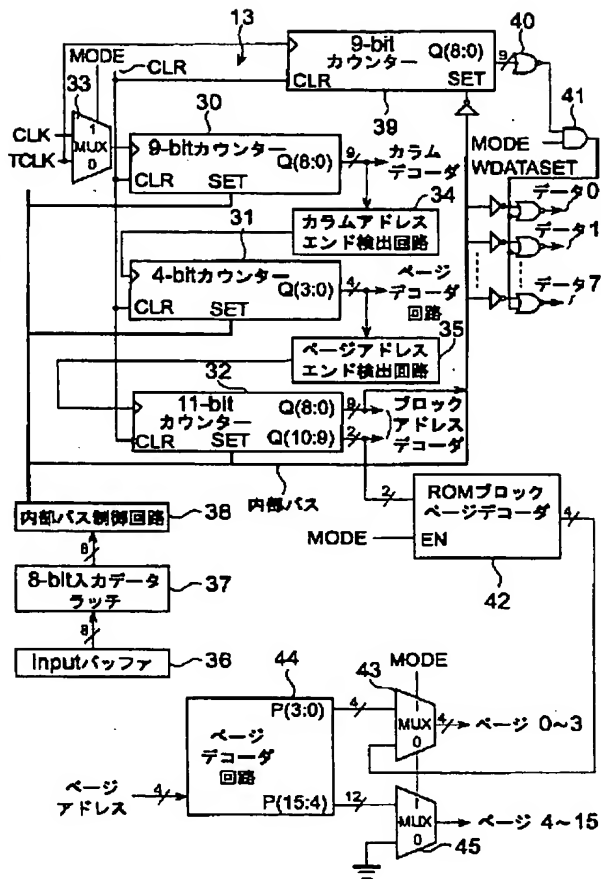
【図5】



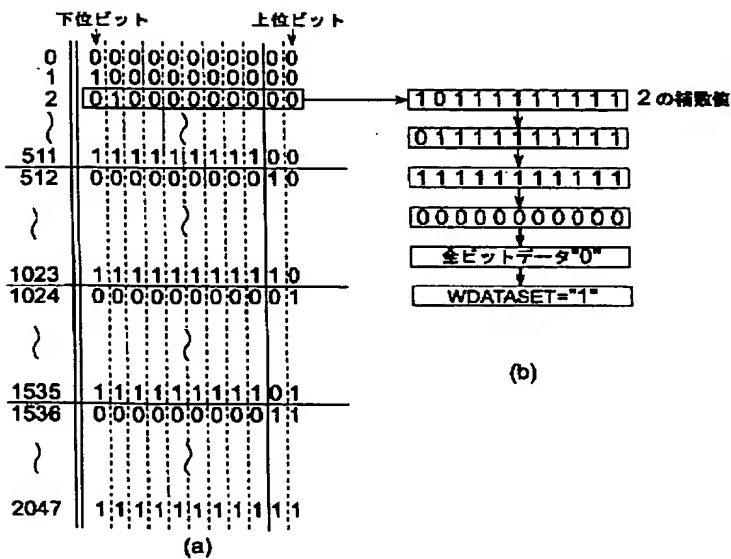
【図4】



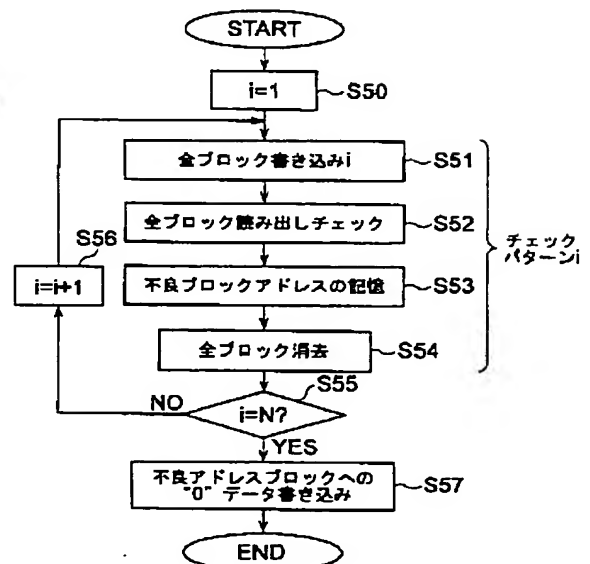
【図6】



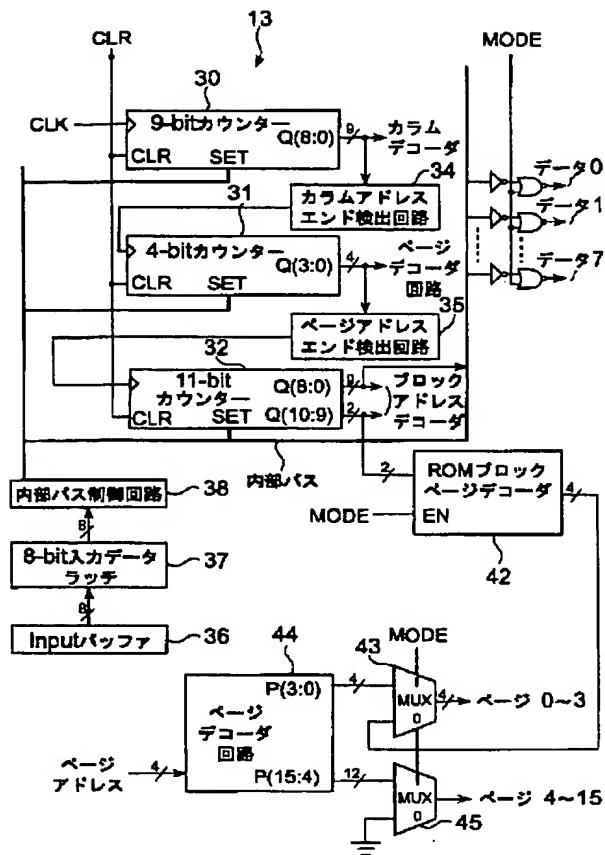
【図7】



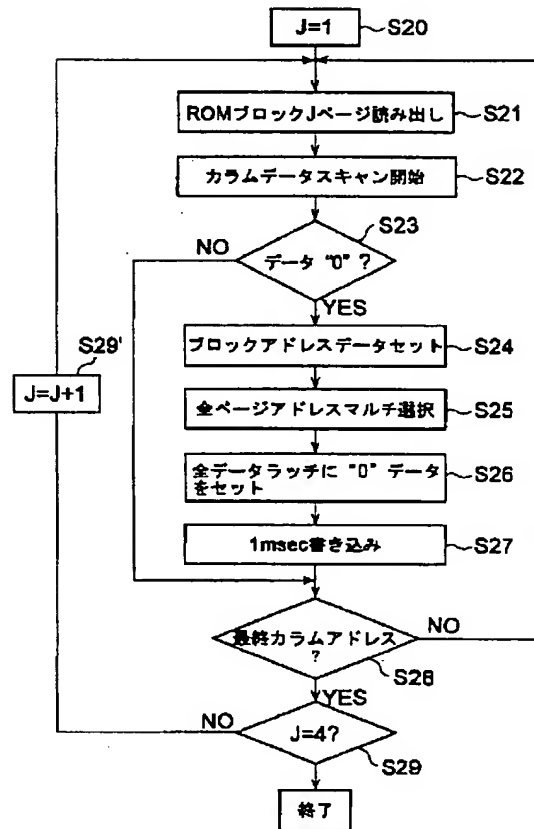
【図13】



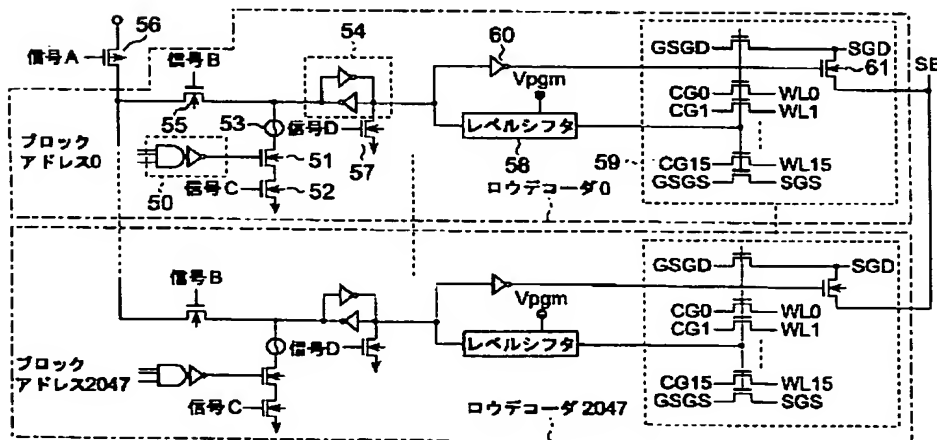
【図8】



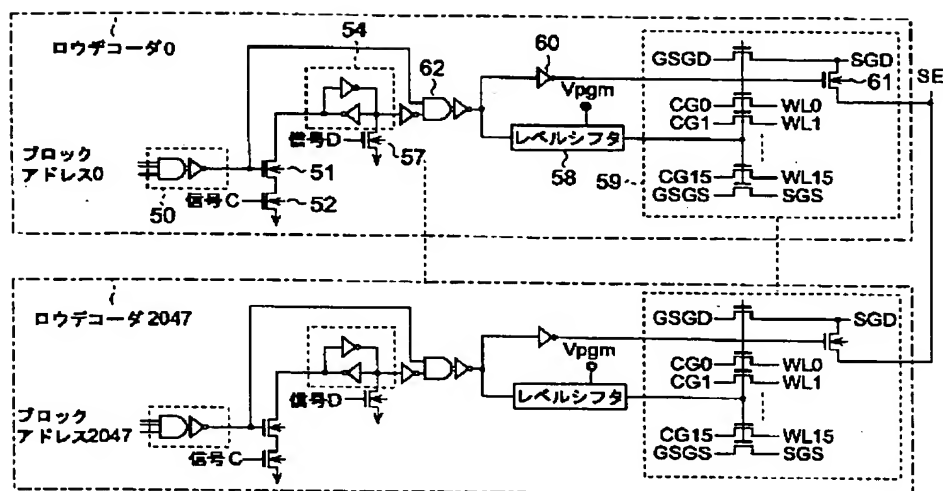
【図9】



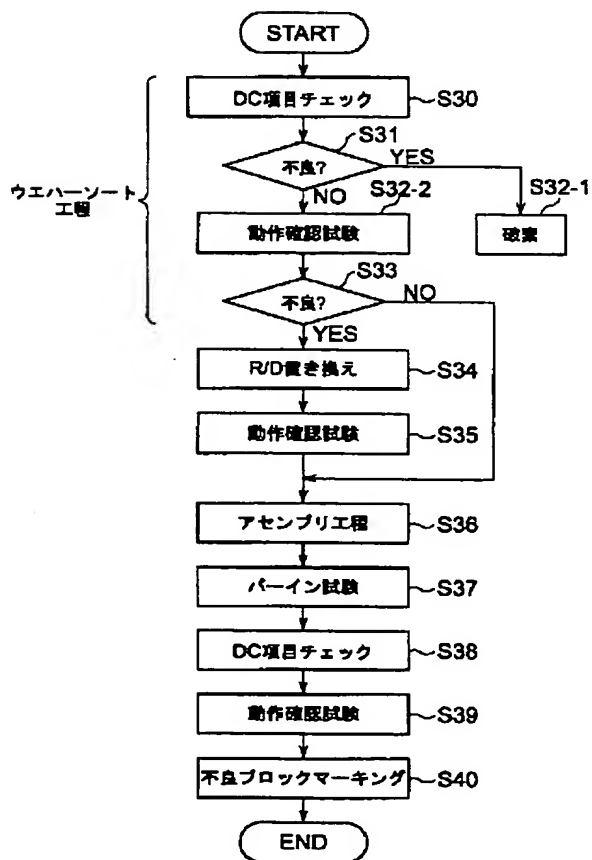
【図10】



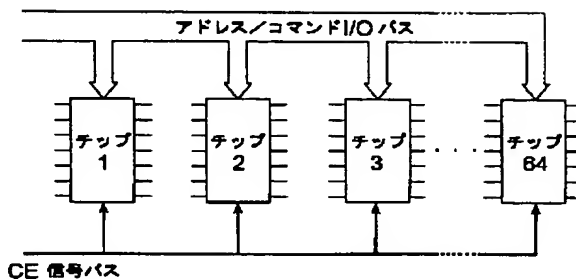
【図11】



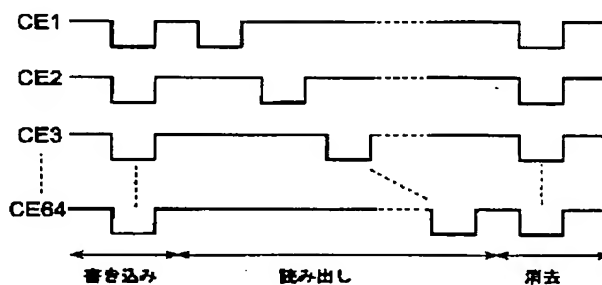
【図12】



【図14】



【図15】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I
G O 1 R 31/28タームコード (参考)
V

F ターム (参考) 2G032 AA08 AB02 AC03 AD05 AH07
AK11 AL16
5B003 AA05 AB05 AD02 AD03 AD04
AD08 AE04
5B018 GA03 HA21 JA12 NA06 PA03
QA13 RA11
5L106 AA10 CC04 CC07 CC22 DD01
DD06 DD11 DD24
9A001 BB03 BB05 JJ45 KK37 KK54
LL05